

# Optimerad layout ger god avkoppling



Antalet viahål samt avståndet mellan dem liksom bredden, längden och avståndet mellan ledarna är några parametrar som avgör hur effektivt en avkopplingskondensator fungerar



## Av Per Magnusson, Signal Processing Devices

**Per Magnusson** är elektronikkonstruktör på Signal Processing Devices i Linköping där han utvecklar högpresterande datainsamlingssystem. Han har över 15 års erfarenhet av professionell elektronikutveckling och har speciellt inriktat sig på signalintegritet, EMC, höghastighetselektronik och analog elektronik. Per tog civilingenjörsexamen från Linköpings Tekniska Högskola 1997 och förutom på SP Devices har han jobbat som elektronikkonstruktör på Bell Labs, Enea, Kreatel och Motorola.

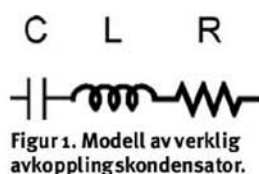
För att åstadkomma en matningsspänning som är stabil vid höga frekvenser använder man normalt kretskort med jord- och spänningsplan avkopplade med kondensatorer. I den här artikeln presenteras resultaten av en undersökning av hur effektiva olika alternativa layouter är för dessa avkopplingskondensatorer. Forskningsarbetet som ligger till grund för denna artikel har skett i samarbete med Linköpingsföretaget BK CE Services.

**Den vanligaste typen** av avkopplingskondensator är idag ytmonterade keramiska kondensatorer. Vid låga frekvenser beter sig dessa kondensatorer som i stort sett ideala kapacitanser, men naturligtvis har de även en parasitisk induktans som gör sig påmind om frekvensen är tillräckligt hög. Eftersom de inte är byggda av supraledare har de även en liten resistans. En god modell för en avkopplingskondensator som fungerar upp till åtminstone 1 GHz visas i Figur 1.

Vid låga frekvenser dominerar alltså

impedansen hos kapacitansen C och totala impedansen minskar då linjärt med frekvensen enligt  $Z_C = 1/j\omega C = -j/\omega C$ . Impedansen hos induktansen L ökar linjärt med frekvensen enligt  $Z_L = j\omega L$  och vid kondensatorns serieresonansfrekvens  $\omega_{res} = 1/\sqrt{LC}$  är dessa två impedanser identiska, men har motsatt tecken och tar därmed ut varandra. Resultatet blir ett minimum i den totala impedansen lika med R. Över serieresonansen dominerar impedansen hos L och totala impedansen stiger då linjärt med frekvensen.

**Typiska värden för C, L och R** för en avkopplingskondensator av storlek 0402 är 10 nF – 1 µF, 0,4–0,5 nH och 0,007–0,1 Ω [1]. Induktansen är i stort sett oberoende av kapacitansen om man håller sig till samma kapsel (i motsats till vad som ibland hävdas) och högre kapacitans går hand i hand med lägre resistans. Parasiterna hos kondensatorer med kapsel



Figur 1. Modell av verklig avkopplingskondensator.

0603 är snarlika och ligger normalt inom 20–50% av värdena för 0402.

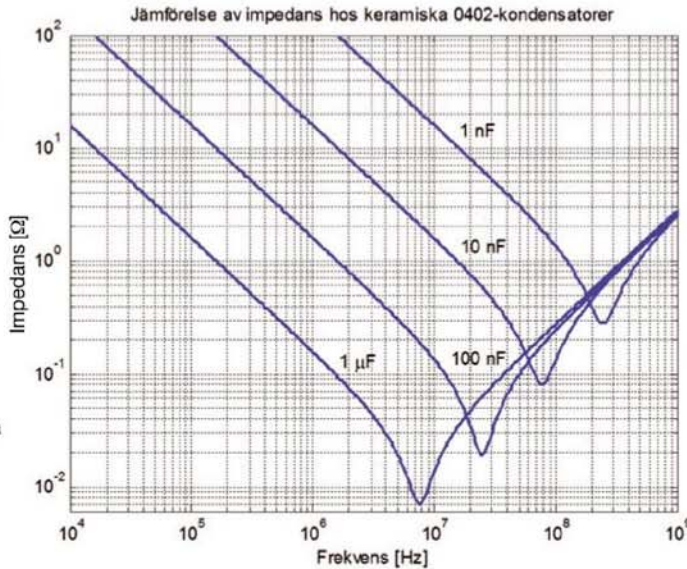
För en kondensator på 100 nF i 0402 är resonansfrekvensen ca 20 MHz och för 1 µF är den ca 6 MHz.

Man ska dock inte förledas att tro att en avkopplingskondensator är värdelös över sin resonansfrekvens. Målet när man avkopplar är att hålla en låg impedans och det spelar ingen direkt roll om impedansen är induktiv eller kapacitiv, bara den är tillräckligt liten.

**Figur 2 visar impedansen** som funktion av frekvens för några olika kondensatorvärden i storlek 0402. Ett högre kapacitansvärde är alltid lika bra eller bättre (dvs har lägre impedans) än ett lägre förutom precis runt den mindre kondensatorns serieresonans. Vid frekvenser över resonansfrekvensen, dvs från några MHz och uppåt för rimliga/lämpliga kapacitansvärden, är det enbart induktansen hos avkopplingen som avgör



Figur 2. Simulerad impedans hos några olika keramiska kondensatorer av storlek 0402.

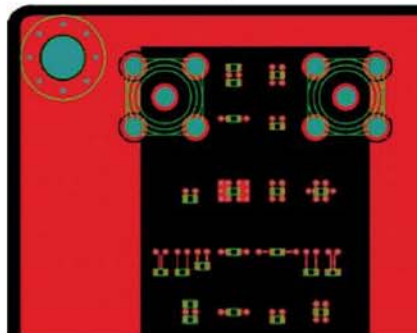
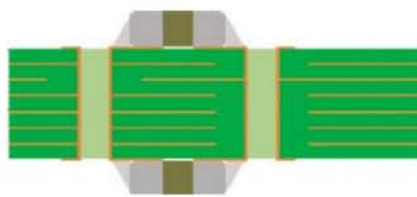


hur effektiv den är och därför är det av stor vikt att inte layouten tillför onödigt mycket induktans utöver vad som finns i själva kondensatorn.

**För att få kvantitativa mått** på hur layouten runt en avkopplingskondensator bidrar till induktansen tillverkades en testkort med tvärsnitt och layout enligt Figur 3.

Kortet har åtta lager varav lager 2 samt 4-7 är jordplan och lager 3 är spänningsplan. Isolationen mellan lagren är 0,2 mm, vilket gör att avståndet från spänningsplanet till ovsidan är 0,4 mm och motsvarande avstånd till undersidan är 1,2 mm. Eftersom identisk layout finns på båda sidor av kortet kan man även testa effekten av olika långa vior.

**För att mäta impedansen** hos de olika layouterna gjordes S<sub>21</sub>-mätningar med en nätverksanalysator. Signalen från port 1 matades in i en SMA-kontakt inlörd i den vänstra SMA-hålbilden på



Figur 3. Testkortet i genomskärning samt layouten för ovsidan. Undersidans layout är identisk.

kortet och signalen till port 2 togs ut via en annan SMA-kontakt lödd på undersidan av kortet direkt på den första SMA-kontaktens ben. (Den högra positionen

för en SMA-kontakt som syns i Figur 3 användes alltså inte vid mätningarna.)

**Resultatet av S<sub>21</sub>-mätningarna** är filer med amplitud- och fasförhållandet mellan testkortets utgående och inkommande signal vid olika frekvenser. Dessa värden kan enkelt räknas om till impedans hos avkopplingen som funktion av frekvens [2]. I ett område mellan kondensatorns serieresonans och den parallellresonans som uppstår mellan kondensatorns induktans och kapacitansen hos kortets plan dominerar kondensatorns induktans och det blir därmed lätt att räkna ut induktansen. En förutsättning för att induktansen ska dominera är att det är ett stort frekvensmässigt avstånd mellan serie- och parallellresonanserna. Detta uppnås genom att använda en kondensator med stor kapacitans (1 μF i detta fall) och hålla nere kapacitansen hos planen genom att inte göra kortet onödigt stort.

**Resultaten från mätningarna** av parasitinduktansen hos ett antal olika layouter, inklusive kondensator, visas i Tabell 1.

Man kan göra ett antal intressanta observationer med hjälp av mätreultatet:

- Om man jämför A med F och G med H ser man att man vinner på att hålla samman viorna riktigt tätt. Vid 0,8 mm centrum-till-centrum-avstånd är induktansen ca 0,15 nH lägre för en kondensator på ovsidan och ca 0,2 nH lägre för en kondensator på undersidan, än om viorna sitter långt isär. Detta vid i övrigt lika långa ledare.
- En jämförelse av B och C respektive D och E visar att man kan sänka induktansen genom att göra ledare breda. Detta är bra att tänka på om man tvingas ha viorna en bit bort från kondensatorn.
- B och D samt C och E visar att induktansen minskar om ledarna läggs tätt intill varandra istället för en bit bort, även

**KAMIC GROUP ELECTRONICS**

## Värmehantering vår specialitet

**Vi erbjuder:**

- ✓ Termiska interfacematerial
- ✓ Kylning med grafit **NYT!**
- ✓ Peltier-element
- ✓ Metallbaskort
- ✓ Kylprofiler
- ✓ Fläktar

**BROMANCO BJÖRKGREN**  
med fokus på värmehantering

Tel: 08-540 85300 Fax: 08-540 870 06 info@bromancob.se www.bromancob.se

## PCB Design

- Hög kvalitet, korta ledtider
- Komplexa kort
- Lång erfarenhet

**design+pack**  
08-444 78 50 www.dpack.se

	A	B	C	D	E	F
Layout						
C/C-avstånd, vior:	3,1 mm	0,8 mm	0,8 mm	0,8 mm	0,8 mm	0,8 mm
Ledarbredd:	0,2 mm	0,1 mm	0,2 mm	0,1 mm	0,2 mm	0,2 mm
Ledarlängd:	1,1 mm	1,7 mm	1,7 mm	2,0 mm	2,0 mm	1,2 mm
Induktans, ovansidan	1,33 nH	1,82 nH	1,60 nH	1,68 nH	1,44 nH	1,18 nH
Induktans, undersidan	1,65 nH	2,16 nH	1,86 nH	1,96 nH	1,72 nH	1,46 nH

	G	H	I	J	K	L
Layout						
C/C-avstånd, vior:	2,1 mm	0,8 mm	0,8 mm	0,8 mm	0,8 mm	0,8 mm
Ledarbredd:	0,2 mm	0,2 mm	0,2 mm	0,2 mm	-	0,2 mm
Ledarlängd:	0,63 mm	0,65 mm	0,65 mm	0,65 mm	-	0,65 mm
Induktans, ovansidan	0,90 nH	0,78 nH	0,55 nH	0,64 nH	0,58 nH	0,50 nH
Induktans, undersidan	1,23 nH	1,05 nH	0,71 nH	0,77 nH	0,71 nH	0,76 nH

Tabell 1. Uppmått parasitinduktans hos några olika avkopplingslayouter.

om ledarlängden ökar något av att man drar ihop ledarna.

- Värdena från C, F och H (samt A och G) visar att en förkortning av ledarlängden med 1 mm (dvs när viorna sitter 0,5 mm närmare kondensatorn) ger en minskad induktans med 0,4 nH. Resultatet gäller för ledare som är 0,2 mm breda, men principen är viktig och visar att det är extremt viktigt att hålla nere ledarlängden om man vill få ut så bra avkopplingseffekt som möjligt för varje kondensator.

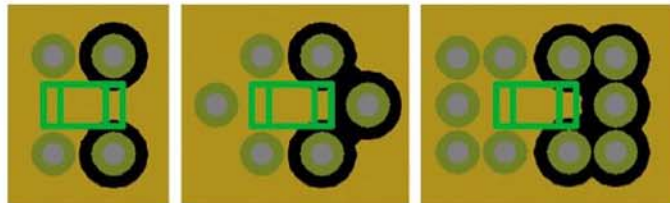
- Medelvärden av induktansskillnaden för kondensatorer monterade på undersidan respektive ovansidan i de fall viorna sitter på 0,8 mm avstånd är 0,28 nH. Man kan alltså vinna en del på att montera kondensatorerna på den sida av kortet som är närmast planen som ska avkopplas.

- Skillnaden mellan H och I visar att

ett extra par av vior minskar induktansen. När det gäller fall I så är totala induktansen bara 0,11 nH högre än den induktansen som Murata anger för själva kondensatorn (0,44 nH), vilket tyder på att layouten är ungefär så bra som den kan bli.

- H och I visar också att man vinner mer på att dubbla viorna när viorna är långa (alltså när kondensatorn sitter på en sida av kortet långt från spänningsplanet). Detta beror såklart på att viorna står för en större del av induktansen om viorna är

Figur 4. Jordplanet runt layouterna med 2, 3 respektive 5 vior per lödyta. Med 3 och 5 vior skärs planet sönder och planetets induktans ökar.



långa och att det främst är viainduktansen man reducerar med denna metod.

- Skillnaden mellan H och L visar när det kan vara ok att låta två kondensatorer dela samma vior samt när det är mycket bättre att låta kondensatorerna ha sina egna vior. Att använda två kopior av layout H hade gett 0,39 nH (ovansidan) och 0,53 nH (undersidan). Layout L har inte så mycket högre induktans på ovansidan (0,50 nH dvs. 25 % högre), men på undersidan får man inte riktigt lika bra valuta för pengarna man betalt för sin extra kondensator (0,76 nH dvs. 50% högre), så när viorna är långa kan man knappast rekommendera att låta flera kondensatorer dela på samma vior.

- En jämförelse av I, J och K ger det överraskande resultatet att induktansen ökar när fler än två vior används per lödyta. Fem vior är visserligen något bättre än tre, men fortfarande inte bättre än två. Förklaringen till detta är med största sannolikhet att de tre respektive fem viorna skär en relativt lång slits i de plan de inte är anslutna till och därmed ökar induktansen i själva planen. Detta visas i Figur 4.

#### REFERENSER

- [1] "Murata Chip S-Parameter & Impedance Library Version 3.13.1", <http://www.murata.com/designlib/mcsil/index.html>  
 [2] Todd D. Hubing et al., "Power Bus Decoupling on Multilayer Printed Circuit Boards", in IEEE Transactions on Electromagnetic Compatibility, vol. 37, No. 2, May 1995, pp. 155-166.



## ➤ ADVANCED CMOS TECHNOLOGY FOR ASIC & FOUNDRY BUSINESS INCLUDING FULL SERVICE SUPPLY CHAIN MANAGEMENT

- Leading edge CMOS technology through in-house process development
- Customized System-on-Chip (SoC) development based on wide Intellectual Property (IP) line-up
- Local competence & support - European LSI Design & Engineering Centre (ELDEC)
- Short development Turn-Around-Time (TAT) to meet the market window
- Flexible platform concept for System-on-Chip (SoC) development
- Flexible business models for ASIC & Foundry

For further information visit  
[www.toshiba-components.com/ASIC](http://www.toshiba-components.com/ASIC)

**TOSHIBA**  
Leading Innovation >>>